ประมวลผลรายวิชา (Course Syllabus)

1. รหัสวิชา 2110352
2. จำนวนหน่วยกิต 3 หน่วยกิต
3. ชื่อวิชา Computer System Architecture
4. คณะ/ภาควิชา คณะวิศวกรรมศาสตร์/ภาควิชาวิศวกรรมคอมพิวเตอร์
5. ภาคการศึกษา ภาคต้น
6. ปีการศึกษา 2552
7. ชื่อผู้สอน ผศ. ดร.สืบสกุล พิภพมงคล (หัวหน้าวิชา)
   ผศ. ดร.เฉลิมเอก อินทนากรวิวัฒน์
   อ. ดร.เกริก ภิรมย์โสภา
   อ. ดร.กุลธิดา โรจน์วิบูลย์ชัย
8. เงื่อนไขรายวิชา วิชาที่ต้องสอบผ่าน 2110251
9. สถานภาพของวิชา วิชาบังคับ
10. ชื่อหลักสูตร วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์
11. วิชาระดับ ปริญญาบัณฑิต
12. จำนวนชั่วโมงที่สอนต่อสัปดาห์ บรรยาย 3 หน่วยกิต
13. เนื้อหารายวิชา การวัดประสิทธิภาพ หน่วยประมวลผลกลาง การประมวลผลแบบขนานในระดับคำสั่ง การทำงานแบบไพพไลน์ ซุปเปอร์สเกลาร์ ไดนามิกไพพไลนิง หน่วยความจำ แคช และ หน่วยความจำเสมือน
14. ประมวลการเรียนรายวิชา (ดูเอกสารหน้าถัดไป)
15. รายชื่อหนังสืออ่านประกอบ
    15.1 “Computer Organization & Design: The Hardware/Software Interface, 2nd Edition”, Patterson and Hennessy.
    15.2 “Computer Architecture: A Quantitative Approach, 3rd Edition”, Hennessy and Patterson.
16. การวัดผล
    กลางภาคการศึกษา 45 +/- 5%
    ปลายภาคการศึกษา 55 -/+ 5%

หมายเหตุ

****** นิสิตต้องติดตามเนื้อหาการเรียนการสอน การนัดสอบ ประกาศ หรือคำสั่งอื่นๆที่อาจารย์บอกในห้องเรียน จะอ้างว่ามาสาย ขาดเรียน หรือ ไม่ได้ยิน ไม่ได้ *******

สัปดาห์ที่	เนื้อหารายวิชา
1	Introduction - Fundamentals of Computer Design - Technology and Computer Usage Trends - Cost, Price, and Their Trends
2	Performance Measurement - Performance and Price Performance - Amdahl's Law
3	Instruction Set Principles and Examples Part I - Instruction Set Classification - Memory Addressing - Operands - Control Flow
4	Instruction Set Principles and Examples Part II - Encoding an Instruction Set - Compiler and Optimization
5	The Processor: Data Path and Control Part I - Single-cycle Implementation - Building a Data Path
6	The Processor: Data Path and Control Part I - Control Signals - Drawbacks of Single Cycle CPU
7	The Processor: Data Path and Control Part III - Multi-cycle Implementation
8	The Processor: Data Path and Control Part IV - Microprogramming - Exceptions
9	Pipelining Part I - Pipeline Hazards - Pipelining Difficulty

10	Pipelining Part II - Pipelining Design
11	Pipelining Part III - Superscalar - Dynamic Scheduling
12	Memory Part I - Memory Hierarchy -
13	Memory Part II - Cache and Its Performance - Reducing Cache Miss Rate, Penalty, and Hit Time
14	Memory Part III - Main Memory and Virtual Memory - Protection and Examples
15	Review