จุฬาลงกรณม์หาวิทยาลัย	ชื่อ
คณะวิศวกรรมศาสตร์	เลขประจำตัว
ภาควิชาวิศวกรรมคอมพิวเตอร์	หมายเลขเครื่อง
2110-361 HARDWARE SYN LAB.	วันที่

2. Vending Machine

## วัตถุประสงค

- 1. ศึกษาการใช้กำสั่งของ Verilog VHDL ในการออกแบบวงจรเชิงตรรกะ แบบ Finite State Machine
- 2. ศึกษาการใช้ Board กับวงจรจริง

## การทดลอง

ออกแบบและสร<sup>้</sup>างวงจร โดยใช<sup>้</sup> Verilog HDL สำหรับเครื่องจายเครื่องดื่ม (Vending Machine) จะมีเครื่องดื่ม 2 ชนิด คือ กาแฟ (coffee) และ ชา (tea) โดย กาแฟมีราคา 45¢ และ ชามีราคา 35¢ ผู้ใช้ สามารถใช้เหรียญ Nickel(5¢) Dime(10¢) และ Quarter(25¢) ในการซื้อ ใช้ Push Button Switches 3 อัน แทนการหยอดเหรียญ และ แสดงยอดรวมเงินที่ผู้ใช้ใส่ (แบบ decimal) ที่ 7 segments 2อัน (เมื่อ reset แสดง 0) ถ้าผู้ใช้ใส่เงินมากกว่าหรือเท่ากับ ราคาของที่มากที่สุด (45¢) เครื่องจะไม่รับเหรียญต่อไป

เมื่อกดปุ่มเลือกเครื่องดื่ม ใช้ Dip Switch (slider switch) สำหรับเลือกกาแฟ และ สำหรับเลือกชา ถ้าใส่เงินเท่ากับหรือมากว่าราคาของก็จะเครื่องดื่มออกมาใช้ LED แสดง 1 ควง สำหรับกาแฟ และอีก 1 ควง สำหรับชา โดย LED จะติดอยู่จนกว่า Reset (Push Button Switch)

ถ้ากคปุ่มเลือกเครื่องคื่มแต่เงินไม่พอจะไม่มีอะไรเกิคขึ้น เครื่องทำงานต่อตามปรกติ

ถ้าเงินมากว่าราคาของจะมีการทอนเงิน โดยจะทอนเป็นเหรียญ Quarter (U) Dime (D) Nickel (n) โดยจะทอนจากค่ามากก่อน เช่นถ้าต้องทอน 35¢ จะทอน 1 Quarter 1 Nickel **1** 7 Segments แสดงจำนวนเหรียญแต่ละชนิดที่ทอน เช่น 1 1 จะแสดง Ouarter Nickel (เนื่องจากไม่มีการทอนเหรียญพร<sup>้</sup>อมกัน3 ชนิด ที่มี 7 อันจะใชไดพอ) segment สมมติว่าเหรียญที่ใช้ทอนมีจำนวนมากพอเสมอ

การ Reset ใช Push Button Switch เป็นการ reset การทำงานของ Vending Machine เพื่อเริ่มขายเครื่องดื่มใหม่

## ข้อแนะนำ : การใช้ Language Templates

Language Templates ของ Webpack เป็นตัวอย่างของ code หรือ รูปแบบการ code ที่ "บอก" หรือ ชี้นำ ให้ส่วน Synthesis ของ webpack สังเคราะห์เป็น hardware ที่ต้องการ โดย templates เหล่านี้มีทั้งที่เป็นรูปแบบทั่วไปของภาษานั้น (Verilog, VHDL,..) และ เป็นรูปแบบเฉพาะสำหรับอุปกรณ์รุ่นนั้นๆ การนำ Language Templates มาใช้ทำโดย click ที่ตำแหน่งที่จะ copy code ใน source file แล้ว click ที่เมนู Edit →Language Templates

2	uw -	1912 - 1				annk
	Edit	View	Project	Source	Process	Wir
S	5	Undo		Ctr	I+Z	<u>ً</u> و
Ε	(CII	Redo		Ctr	I+Y	
es	Ж	Cut		Ctrl+X		9
s	Þ	Сору		Ctr	I+C	0
ľ	Ē	Paste Ctrl+V   X Delete Del		l+v ·	1	
	×				3	
	æ	Find		Ctr	I+F	4
		Find Ne	ext	F3	1	5
0	8	Find In	Files			7
	9	Canguage Templates			·	8 9
25		Replace	э	Ctr	I+H	ō
ต์	รึ่งจ	ະກຳໃ	เห้หน	้ำต่าง	Lang	195
Î		• mm			Lung	***8
		÷ 👝				
	1	ŧ" 🛄	ABEL			

🖽 🔚 ABEL
🕀 🧰 UCF
🗉 🧰 Verilog
🗉 🧰 VHDL

ตัวอย่างเช่น ในการปฏิบัติการนี้ต้องใช้ 7 Segments ซึ่งมี template ให้ให้เลือก Verilog -> Synthesis Construct - Code Examples - Misc - 7-Segments Display Hex Conversion จะได้ template แสดงค่าของ 7 segments

จากนั้น click ที่ เมนู Edit → Use in File หรือที่ Use Template in file button <sup>ISS</sup> ใน tools bar code จาก template จะถูก copy ไปไว้ในหน้าต่าง source file แก้ไข code ให้ตรงกับค่าที่ใช้ใน source file โดยแก้ที่ข้อความที่อยู่ในเครื่องหมาย <> ให้เป็นชื่อตัวแปร

(ports, wire, reg.. etc.) ตามที่ใช้ใน Verilog module